

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-203179

(P2001-203179A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 X
B 2 3 H 3/00		B 2 3 H 3/00	
3/08		3/08	

審査請求 未請求 請求項の数33 O L 外国語出願 (全 28 頁)

(21) 出願番号 特願2000-363214(P2000-363214)

(22) 出願日 平成12年11月29日 (2000. 11. 29)

(31) 優先権主張番号 0 9 / 4 5 0 8 5 8

(32) 優先日 平成11年11月29日 (1999. 11. 29)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390040660

アプライド マテリアルズ インコーポレイテッド

APPLIED MATERIALS, INCORPORATED

アメリカ合衆国 カリフォルニア州

95054 サンタ クララ パウアーズ アベニュー 3050

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外1名)

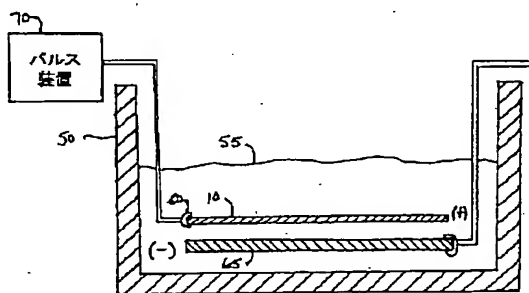
最終頁に続く

(54) 【発明の名称】 金属ウェーハ平坦化方法及び装置を用いた高度電解研磨 (A E P)

(57) 【要約】

【課題】 高スループットで良好な品質の基板表面を製造する基板平坦化の方法及び装置を提供することが、本発明の利点である。

【解決手段】 高度電解研磨 (A E P) 方式において、金属ウェーハ (10) は陽極電極として働き、別の金属板 (65) が陰極電極として使用される。定められた陽極分解電流密度のもとで陽極と陰極に電圧差が印加される。これによって金属ウェーハ上の平坦化表面を与える反応が起こる。添加剤が電解液 (55) 中に含まれ、ウェーハ表面に吸着して基板表面上のより高い地点でより高い除去速度を、基板表面上のより低い地点でより低い除去速度を促す。



【特許請求の範囲】

【請求項1】 導電層の下にあるバリア層を含む基板の研磨方法であり、基板を、バリア層がほぼ露出するまで高度電解研磨(AEP)し、平坦化表面を形成することと、

基板を、バリア層が基板の平坦化表面からほぼ除去され、選択された量の導電性物質を含む平滑な表面を残すまで化学機械研磨することを備える基板の研磨方法。

【請求項2】 導電層の下にあるバリア層を含む基板を研磨する方法であり、陰極電極を提供することと、基板への電氣的接続のための陽極電極を提供することと、前記陽極電極と前記陰極電極が接触する電解液を提供することと、

前記陽極電極と前記陰極電極の間に電圧差を印加することと、

表面上の高い地点からの物質を、低い地点からの物質を除去するよりも前に除去するために、前記基板の表面を調整することを備え、

それによって前記ウェーハが、基板表面の調整によってもたらされた表面からの電解的な物質の除去、バリア層で停止する除去処理によって、平坦化されることを備える方法。

【請求項3】 前記基板を調整することが、前記電解液中に添加剤を備え、基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促すことを更に備える請求項2に記載の方法。

【請求項4】 前記添加剤がクマリンである請求項3に記載の方法。

【請求項5】 前記添加剤がスルフォレアであることを特徴とする請求項3に記載の方法。

【請求項6】 前記添加剤が $C_6H_5-O-(CH_2CH_2O)_n$ である請求項3に記載の方法。

【請求項7】 前記添加剤が $C_6H_5-O-(CH_2CH_2O)_n$ である請求項3に記載の方法。

【請求項8】 前記表面を調整することが、電極間に正と負の電位を交互に印加することをさらに備える請求項2に記載の方法。

【請求項9】 前記正と負の電位がミリ秒の間以上印加される請求項8に記載の方法。

【請求項10】 前記表面を調整することが、添加剤を含む電解液を使用し基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促すことと、

電極間に、正と負の電位を交互に印加することとをさらに備える請求項8に記載の方法。

【請求項11】 前記電解液を保持する槽を提供することと、前記陽極電極と前記陰極電極を前記電解液中に沈めることとをさらに備え、前記基板が陽極である請求項2に記載の方法。

【請求項12】 研磨ヘッドを、電極を基板と接続するよう運び、陽極を形成するよう適合し、また固定リングを陰極を形成するよう適合することと、研磨パッドを電解液で湿らせることとをさらに備える請求項2に記載の方法。

【請求項13】 前記基板が金属層の下にバリア層を持ち、定められた金属層の厚さに到達するまで基板に化学機械研磨することと、

10 バリア層が露出し、基板がほぼ平坦化されるまで、基板を高度電解研磨(AEP)することと、バリア層が基板の平坦化表面からほぼ除去されるまで、基板を化学機械研磨することを備える基板を研磨する方法。

【請求項14】 前記AEP工程が、添加剤を含む電解液を使用して、基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促すことを更に備える請求項13に記載の方法。

【請求項15】 前記添加剤がクマリンである請求項14に記載の方法。

【請求項16】 前記添加剤がスルフォレアである請求項14に記載の方法。

【請求項17】 前記AEP工程が、電極間に正と負の電位を交互に印加することをさらに備える請求項13に記載の方法。

【請求項18】 前記正と負の電位がミリ秒の間以上印加される請求項17に記載の方法。

【請求項19】 前記AEP工程が、添加剤を含む電解液を使用して、基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促すことと、

電極間に、正と負の電位を交互に印加することとをさらに備える請求項17に記載の方法。

【請求項20】 前記基板が導電層の下にバリア層を含み、

基板への陽極接続を提供し、基板を陽極とすることと、陰極を提供することと、

前記陽極と前記陰極の両方に接触する電解液を提供し、前記電解液は添加剤を含み、基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促すことと、

40 前記陽極に電流を提供し、バリア層が露出しそれによって基板上に平坦化表面が形成されるまで前記陽極から物質を除去することと、

バリア層が基板の平坦化表面からほぼ除去され、選択された量の導電表面を含む、平滑な表面を残すまで基板を更に研磨することとを備える基板を研磨する方法。

【請求項21】 前記基板が導電層の下にバリア層を含み、

50 基板への陽極接続を提供し、基板を陽極とすることと、

陰極を提供することと、

前記陽極と前記陰極の両方に接触する電解液を提供することと、

前記陽極と前記陰極の間に正と負の電位を交互に印加して、バリア層が露出してそれによって基板上に平坦化表面を形成するまで、前記陽極から物質を除去することと、

バリア層が基板の平坦化表面からほぼ除去され、選択された量の導電表面を含む、平滑な表面を残すまで、基板を更に研磨することとを備える基板を研磨する方法。

【請求項 22】 前記電解液は添加剤を含有し、基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促す請求項 21 に記載の方法。

【請求項 23】 上面と複数の開口を持つ、中間誘電層を形成することと、前記中間誘電層の前記上面上にバリア層を堆積し、前記バリア層はまた前記複数の開口をライニングすることと、

前記バリア層上に導電層を堆積し、前記導電層は前記ライニングされた複数の開口を埋めることと、

バリア層がほぼ露出し、平坦化表面を形成するまで、基板を高度電解研磨 (AEP) することと、

バリア層が基板の平坦化表面からほぼ除去され、選択された量の導電物質を含む、平坦化された層を残すまで、基板を更に研磨することとを備える基板上に平坦化層を形成する方法。

【請求項 24】 前記 CMP 装置の研磨ヘッドに位置する陽極を含み、前記陽極は前記研磨ヘッドに保持された基板と接触し、

前記研磨ヘッドに位置する陰極を備え、前記陰極は前記陽極からオフセットされ、

電解液によって湿らされた研磨パッドを備え、前記電解液と基板は前記陽極と前記陰極の間の接続を提供し、

前記陽極と前記陰極をはさんで電位を与える電解コントローラを備え、

前記電解コントローラは前記正負間の電位を交替させ、それによって前記基板が CMP 装置の機械的作用なく平坦化される基板の高度電解研磨 (AEP) のために適合された化学機械研磨 (CMP) 装置。

【請求項 25】 前記電解液が、基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促す添加物を更に備える請求項 24 に記載の装置。

【請求項 26】 前記電解コントローラが、前記電位を交替させるパルス装置を更に備える、請求項 24 に記載の装置。

【請求項 27】 前記陽極が、前記研磨ヘッドの周りに前記電解コントローラから前記基板へ陽極接続を形成するリングを更に備える請求項 24 に記載の装置。

【請求項 28】 前記陰極が前記研磨ヘッド内の固定リ

ングの部分である請求項 24 に記載の装置。

【請求項 29】 前記 CMP 装置の研磨ヘッド内に位置する陽極を備え、

前記陽極は前記研磨ヘッド内に保持された基板と接触し、

前記研磨ヘッド内に位置する陰極を備え、前記陰極は前記陽極からオフセットされ、

電解液によって湿らされた研磨パッドを備え、前記電解液は基板表面上のより高い地点でより高い除去速度、基板表面上のより低い地点でより低い除去速度を促す添加物を更に備え、前記電解液は前記陽極と前記陰極間の電気的接続を提供し、

前記陽極と前記陰極をはさんで電位を与える電解コントローラを備え、

それによって、前記基板が CMP 装置の機械的作用なく平坦化される基板の高度電解研磨 (AEP) のために適合された化学機械研磨 (CMP) 装置。

【請求項 30】 前記添加剤がクマリンである請求項 29 に記載の装置。

【請求項 31】 前記添加剤がスルフォレアである請求項 29 に記載の装置。

【請求項 32】 前記添加剤が $C_6H_5-O-(CH_2CH_2O)_n$ である請求項 29 に記載の方法。

【請求項 33】 前記添加剤が $C_6H_5-O-(CH_2CH_2O)_n$ である請求項 29 に記載の方法。

【発明の詳細な説明】

【0001】

【関連出願の相互参照】この出願は、本出願者により本出願と同日に提出された、米国特許出願番号の、表題「電気化学・機械平坦化のための方法と装置」に関する。

【0002】

【発明の属する技術分野】本発明は一般に金属基板の平坦化に関し、より具体的には、半導体ウェーハ上の金属膜の高度電解研磨に関する。

【0003】

【発明の背景】集積回路は、通常基板上、特にシリコンウェーハ上に、導体層、半導体層または絶縁層を連続して堆積することによって形成される。層の堆積後、層がエッチングされて回路特性が生み出される。一連の層が、連続して堆積及びエッチングされるので、基板の外表面あるいは最上面、すなわち基板の露出された面は、益々平坦でなくなる。この平坦でない外表面は、集積回路製造者に問題をもたらす。したがって、比較的平坦な表面を与えるため、基板表面は定期的に平坦化される必要がある。いくつかの製造工程では、外部層の平坦化が下地層を露出してはならない。

【0004】化学機械研磨 (CMP) は平坦化の現行方法である。この平坦化方法では通常、基板がキャリアあるいは研磨ヘッドに取り付けられている必要がある。基

10

20

30

40

50

板の露出表面が回転する研磨パッドに対して取り付けられる。研磨パッドは「標準」パッドか固定研磨パッドのいずれかである。固定研磨パッドは封じ込め媒体中に研磨粒子を保持しているのに対し、標準パッドは研磨粒子の埋め込まれていない、耐久性のある表面を有している。キャリアヘッドは、制御可能な負荷、すなわち圧力を基板上に与え、基板を研磨パッドに対して押し付ける。少なくとも1つの化学反応物質と、標準パッドが使用される場合には研磨粒子を含む、研磨スラリーが研磨パッドの表面に供給される。

【0005】効果的なCMP処理は高い研磨速度のみならず、表面仕上げされた平坦な基板表面をももたらす。研磨速度、仕上げ及び平坦度は、パッドとスラリーの組み合わせ、基板とパッド間の相対速度及びパッドに対して基板を押し付ける力によって決まる。

【0006】CMPのような従来の平坦化技術を適用する際に、高度な表面均一性を達成するのは極めて困難なことであり、特に密度の高い特徴の配列、例えば銅線などの、オープン・フィールドによってライニングされた配列から延びる表面にわたって均一性を達成することはとりわけ困難である。金属特徴の高密度な配列は、通常、酸化シリコン層などの中間誘電層中に、最初に溝が形成されるダマシン法によって形成される。次にTa含有層、例えばTa、Ta₂Nなどのバリア層が、溝に沿って酸化シリコン中間誘電層上に堆積される。次に銅あるいは銅合金が、電気メッキ、無電解メッキ、約50℃～約150℃の温度における物理的気相堆積法(PVD)、または約200℃未満の温度における化学気相堆積法(CVD)によって、通常約800Å～約18,000Åの厚さで堆積される。銅メタライゼーション後のウェーハ表面をCMPを用いて平坦化する際、望ましくない腐食やディッシングが通常発生する。これにより表面均一性の度合いや平坦度が減少され、特に約0.25μmといったサブミクロン寸法の達成に関しては、従来のフォトリソグラフィ技術の焦点深度の限界が問題とされるほどである。腐食はオープン・フィールド内の酸化物と高密度配列内の酸化物の高さの差として定義される。ディッシングは高密度配列内の、酸化物と銅間の高さの差によって定義される。

【0007】ディッシングと腐食の形成はメタルCMP処理を評価するにおいて最も重要なパラメータである。現行のCMP使用工程では、基板のパターン密度により、良くても600～800Åのディッシング及び400～1500Åの腐食を生じる。一般にディッシング形成には2つの原因がある。すなわち(a)不十分な平坦化と(b)過剰研磨である。CMPは平坦化を達成するが、基板上の特徴のサイズが大きくなるほど平坦化効率が著しく低下する。過剰研磨はCMP後のウェーハ表面から金属残渣を除去するために行われる。特に高いスループットを得るために比較的高速の研磨速度で過剰研磨

が行われるときに、過剰研磨によるディッシングや腐食の形成が極めて助長される。過去のディッシング及び腐食を改善する試みは、スラリー、研磨パッド及び工程の修正を含んでいた。

【0008】ディッシングや腐食が減少した平坦化処理を行うことは依然として望まれることである。

【0009】高スループットで良好な品質の基板表面を製造する基板平坦化の方法及び装置を提供することが、本発明の利点である。

10 【0010】

【発明の概要】平坦化処理された基板を実現しつつディッシング及び腐食を減少するという課題は、本発明の、金属ウェーハ平坦化方法及び装置によって援助された高度電解研磨(AEP)によって解決される。

20

【0011】高度電解研磨(AEP)方法は、積層基板の金属表面を制御された方法で研磨するため、表面トポグラフィ中、より高い地点が低い地点よりも迅速に除去される。AEPは逆電気メッキ法を表面調整方法とともに、単独または組み合わせて使用しており、基板を平坦化するために基板から物質を除去する。第1の表面調整方法は、AEPに使用される電解液中に表面調整添加剤を含むことである。第2の表面調整方法は交互に正負の電位を印加するパルス式電気分解であり、AEPの電極間をはさむ電位が周期的に反転し、基板表面上の高い地点が基板表面上の低い地点よりも前に除去されるようにする。添加剤とパルス式電気分解はAEP工程で組み合わせても良い。

30

【0012】発明の本実施形態における研磨は、バリア層(例えばタンタル、窒化タンタル、チタンまたは窒化チタン)がほぼ除去されると停止する。しかしながら、本発明の電解質化学反応の変更によって、研磨において除去される深さと層は変更される。電解液への添加剤と電解研磨中のパルス式電圧の印加は、基板の研磨表面の平坦度を更に向上させる。

40

【0013】ここに記載されるAEP方式では、基板が陽極電極として働き、別の金属板が陰極電極として使用される。基板と陰極は、電気メッキ槽あるいは適合された化学機械研磨装置のいずれかの中に構成される。あらかじめ決められた陽極分離電流密度のもとで、陽極と陰極に電圧差が加えられる。これによって、金属ウェーハ状に平坦化表面を与える反応が引き起こされる。現行の電解研磨方法は、一般にウェーハ表面トポグラフィに少なくとも500Åの高低地点間の差を残す。本高度電解研磨では電解液の中に添加剤が含まれ、それがウェーハ表面に吸着して、より高い地点には高い除去速度、より低い地点ではより低い除去速度となるよう促す。また、本発明の別の実施形態はパルス式電気分解工程であり、正及び負の電位が陽極及び陰極の電極に交互に印可され、表面平坦化を更に助長する。本発明のさらなる実施形態は、添加剤方法とパルス式方法を組み合わせて使用

50

することを含む。

【0014】AEPは、第1工程として使用して、薄いバリア層(250Å)を除去するための短い機械研磨工程(バフ研磨)をこれに続けることも、あるいは、約2000Åの銅層を残す最初のCMP研磨と、第3工程である機械研磨の間にはさんで、第2工程として使用することもできる。本発明はまた、銅電気メッキ処理の最後の工程として加えることもできる。したがって、パターンが付けられたすべての種類の金属ウェーハ製造に使用される。

【0015】AEP技術によって、普通のCMP工程に現れる「不十分な平坦化」の問題はほぼ解消される。CMPの第1工程はずっと容易であり、過剰研磨工程によって生じるディッシングと腐食は避けられる。AEP工程の間に機械的な作用がないため、AEPは腐食を除去する。このことは、高密度の表面パターンを持ち、そこに腐食させる高電位があるようなウェーハの処理においては特に重要である。ディッシングは化学添加剤とパルス式電流によって大幅に減少される。AEP方式は、腐食なく、またディッシングもほとんどなく平坦化表面を提供する。

【0016】本発明と上記及びその他の利点はともに、以下に記載される図面に説明された発明の実施形態の記述から最もよく理解されるであろう。

【0017】

【好適実施形態の詳細な説明】図1は、半導体製造中に形成された層などの、層が堆積された導電性基板10の断面図を示す。この図は正確な拡大率で拡大したものではない。例えば酸化シリコンなどの中間誘電層20が金属ウェーハ15の上にかぶせて形成される。複数の、開口25とも呼ばれるくぼみが中間誘電層20の左側の指定範囲に形成され、ここに導線の高密度配列が、中間誘電層20の右側に示されたオープン・フィールドと隣接しながら形成されることになる。例えばタンタル、窒化タンタル、チタンまたは窒化チタンなどのバリア層30が、中間誘電層20の上に堆積され、バリア層30はまた複数の開口25をライニングする。銅などの導電層35が、次にバリア層30の上に堆積される。続く層が、基板上に不均一なトポグラフィ36を形成し、さらなる工程の前に平坦化が必要とされる。また次の処理工程は、導電層の部分が除去されることを必要とする。平坦化と導電層の選択的除去は、研磨工程で成就される。

【0018】図2は、本発明の高度電解研磨(AEP)の第1の実施形態における、電解槽の側断面図を示す。図1の導電性基板10が、電解液の溶液55を入れた槽50に浸漬される。導電性基板10は導電性クランプ60に接続され、第1の電極である陽極を形成する。第2の電極65である、金属基板と合わせられた陰極もまた、槽50中に浸漬される。あらかじめ定められた陽極分離電流密度のもとで、陽極と陰極に電圧差が加えられ

る。電流密度は通常1~30mA/cm²である。これにより、導電性基板上に平坦化表面を与える反応が引き起こされる。バリア層がほぼ露出するとき、反応は導電範囲をもつ基板上に平坦化表面を残し、バリア層をほぼ露出されたままにする。現行の電解研磨方式は一般に、ウェーハ表面のトポグラフィに、少なくとも500Åの高低地点間の差を残す。

【0019】添加剤が電解液に含まれ、これが基板表面に吸着し、より高い地点には高い除去速度、より低い地点ではより低い除去速度となるよう促す。添加剤は一般に、電解液の1重量%未満である。添加剤は表面調整剤である。吸着された添加剤は、基板表面を調整する放電ポイントとして働くため、高い地点が最初に研磨され、次に低い地点が研磨される。この工程に使用される添加剤の例は、クマリン(C₉H₈O₂)、スルフォレア(C₂S(NH₂)₂)、及びR-C₆H₄-O-(CH₂CH₂O)_n、ここでR=C₆-C₆及びn=10である。本発明の範囲の中で、その他の添加剤と濃度が可能である。

【0020】また、本発明の別の実施形態では、パルス装置70を使用するパルス式電解方式が適用され、正と負の電位が陽極と陰極の電極間に交互に印加され、表面平坦化を更に助長する。パルス装置は交流電源またはパルス能力を備えたポテンショスタットでよい。この方法では、例えば通常1~30mA/cm²の範囲の電流密度が、通常ミリ秒間加えられる。パルス研磨は基板表面を調整する。表面上の高い地点からの物質が、表面上の低い地点に再堆積される。これは、平坦化が充分でない場合に便利な表面調整である。

【0021】図3は、本発明のAEPのさらなる実施形態の、単純化された部分断面、部分略側面図を示す。図3で研磨ヘッド100は、ヘッド100とパッド105の間に図1の金属基板10をはさんで、研磨パッド105上に置かれている。陽極接続110と陰極接続115が与えられる。陽極接続は基板10に、基板が陽極となるように接触する。発明の本実施形態では、陽極接続110及び陰極接続115は固定リング120内部のヘッド周辺に輪を形成する。研磨ヘッドと基板10間の膜118が、陽極接続110と基板10の間、及び基板10と研磨パッド105の間の接触を維持するための圧力を与える。第1ブラシ116と第2ブラシ117が、接続110及び115から電解コントローラ119への電気的接続を提供する。電解コントローラ119は図2に示すようなパルス装置70を含んでよい。固定リング120の金属部分は陰極122として働く。陽極110、115及び陰極122の配置は単なる典型例にすぎない。本発明の範囲内で、他の構成も可能である。

【0022】パッド105は電解液121で湿らされている。スラリーのための、この場合では電解液のための管を持つスラリー・アーム225(図4に示す)が、研磨パッド105上に延びる。陽極基板10と陰極122

とに電圧差が印加される。これにより、導電性基板上に平坦化表面を与える反応が起こる。ヘッド100はウェーハ10から研磨によって生じた物質を洗い去るために回転するが、機械研磨は行われない。添加剤が上述と同じ効果で電解液に加えられる。研磨を実行するためにウェーハの研磨は必要ない。パルス研磨技術をこの構成中で使用してもよい。

【0023】図4は複数の研磨ステーション205、210、215を持つ化学機械研磨装置200を示す。装置200上の研磨ヘッドの1つは、本発明を成就するために図3に示すような修正がされている。研磨ステーション205のヘッド220は、図3に見られるような陽極接続110及び陰極122を持っている。スラリー・アーム225は研磨パッド105に電解液を届ける。あるいは、本発明を成就するため、1つ以上の研磨ステーションが図2に示される電気化学セルによって修正されてもよい。

【0024】図5は、本発明の方針にしたがってAEPを用いる研磨工程の第1実施形態のフローチャートである。ブロック205で、バリア層と金属層がウェーハ上に堆積された後、AEPが適用されてウェーハが平坦化される。平坦化は、ブロック255の添加剤を使用するAEPか、ブロック260のパルス電流を使用するAEPか、ブロック265の添加剤とパルス電流の両方を使用するAEPによって成就される。次にブロック270で、CMPがウェーハに施され、バリア層が除去される。

【0025】図6は、本発明の方針にしたがってAEPを用いる研磨工程の第2実施形態のフローチャートである。ブロック300でバリア層と金属層がウェーハ上に堆積された後、ブロック305で金属薄膜が定められた厚さ、例えば2000Åを残すまでCMPが適用される。AEPが適用され、残余金属を除去しウェーハ表面を平坦化する。AEP工程は、ブロック310の添加剤*

＊を使用するAEPか、ブロック315のパルス電流を使用するAEPか、ブロック320の添加剤とパルス電流の両方を使用するAEPかである。次にブロック325でウェーハにCMPが適用され、バリア層を除去する。

【0026】上述の実施形態は、単に発明の原理を説明するものであることは理解されるべきである。当業者は、本発明の範囲内にある、発明の原理を具体化する様々の他の修正や変更を行い得るであろう。

【図面の簡単な説明】

10 【図1】図1は、多層をもつ基板の断面図である。

【図2】図2は、本発明の方針にしたがった電解液を持つ槽中にウェーハが浸漬する、高度電解研磨装置の第1の実施形態の断面図である。

【図3】図3は、本発明の方針にしたがって研磨ヘッドが陽極と陰極を含む、高度電解研磨装置の第2の実施形態の略断面図である。

【図4】図4は、化学機械研磨装置の略分解組立図である。

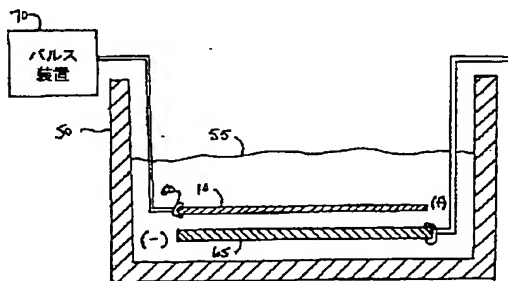
【図5】図5は、本発明の方針にしたがってAEPを使用する研磨工程の、第1の実施形態のフローチャートである。

【図6】図6は、本発明の方針にしたがってAEPを使用する研磨工程の、第2の実施形態のフローチャートである。

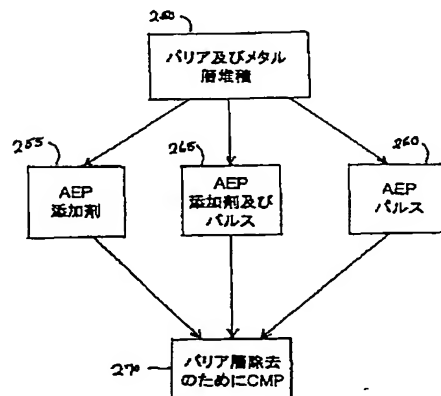
【符号の説明】

10・・・パルス装置、119・・・電気メッキコントローラ、250・・・バリア層及び金属層の堆積、255・・・AEP添加剤、260・・・パルス式AEP、265・・・AEP添加剤及びパルス式AEP、270・・・バリア層を除去するCMP、300・・・バリア層及び金属層の堆積、305・・・2000Åまで金属層をCMPする、310・・・AEP添加剤、315・・・パルス式AEP、320・・・AEP添加剤及びパルス式AEP、325・・・バリア層を除去するCMP。

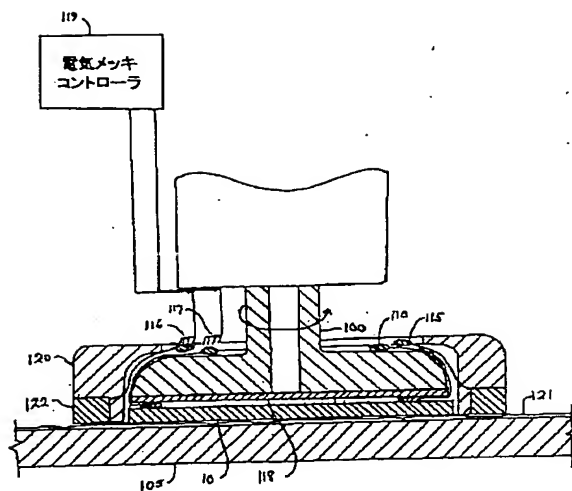
【図2】



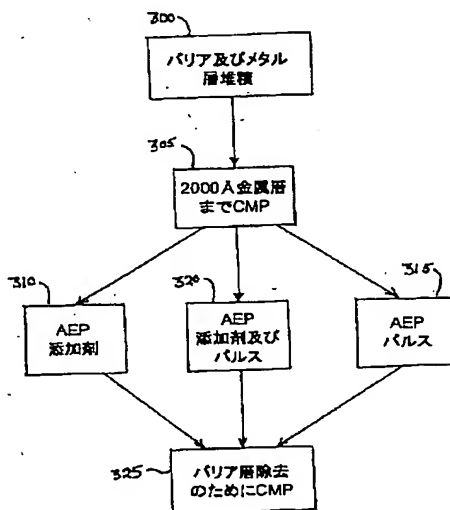
【図5】



【圖3】



【圖6】



(72)発明者 スタン ディ. ツァイ
アメリカ合衆国, カリフォルニア州,
フリーモント, デッカー テラス 5444
(72)発明者 フレッド シー. レデカー
アメリカ合衆国, カリフォルニア州,
フリーモント, シオックス ドライヴ
1801

〔外国語明細書〕

1 Title of Invention

AN ADVANCED ELECTROLYTIC POLISH (AEP) ASSISTED METAL WAFER
PLANARIZATION METHOD AND APPARATUS

2 Claims

1. A method of polishing a substrate, said substrate including a barrier layer below a conductive layer, comprising the steps of:

advanced electrolytic polishing (AEP) the substrate until the barrier layer is substantially exposed forming a planarized surface; and

chemical mechanical polishing the substrate until the barrier layer is substantially removed from the planarized surface of the substrate leaving a smooth surface containing selected amounts of conductive material.

2. A method of polishing a substrate, said substrate including a barrier layer below a conductive layer, comprising the steps of:

providing a cathodic electrode;

providing an anodic electrode for electrical connection to the substrate;

providing an electrolyte solution, said anodic electrode and cathodic electrode in contact with said electrolyte solution;

applying a voltage differential between said anodic electrode and said cathodic electrode;

modifying the surface of said substrate in order to remove material from high spots on the surface before removing material from low spots,

whereby said wafer is planarized by electrolytically removing material from the surface as effected by modifying the surface of the substrate, the removal process stopping at the barrier layer.

3. The method of claim 2 wherein said surface modifying step further comprises the step of including additives in said electrolyte solution to urge higher removal rates at higher spots on the substrate surface and lower removal rates at lower spots on the substrate surface.

4. The method of claim 3 wherein said additive is coumarin.
5. The method of claim 3 wherein said additive is sulfourea.
6. The method of claim 3 wherein said additive is $C_8-C_6H_5-O-(CH_2CH_2O)_{10}$.
7. The method of claim 3 wherein said additive is $C_8-C_6H_5-O-(CH_2CH_2O)_{10}$.
8. The method of claim 2 wherein said surface modifying step further comprises the step of applying positive and negative potentials alternately between electrodes.
9. The method of claim 8 wherein said positive and negative potentials are applied over periods of milliseconds.
10. The method of claim 8 wherein said surface modifying step further comprises the steps of using an electrolyte solution containing an additive to urge higher removal rates at higher spots on the substrate surface and lower removal rates at lower spots on the substrate surface; and
applying positive and negative potentials alternately between electrodes.
11. The method of claim 2 further comprising the steps of providing a tank holding a quantity of said electrolyte solution; and submerging said anodic electrode and said cathodic electrode in said electrolyte solution, wherein said substrate is an anode.
12. The method of claim 2 further comprising the steps of adapting a polish head to carry electrodes to connect with the substrate to form an anode and a retaining ring to form a cathode; and wetting a polishing pad with electrolyte solution.

13. A method of polishing a substrate, said substrate having a barrier layer below a metal layer, comprising the steps of:

chemical mechanical polishing the substrate until a predetermined thickness of the metal layer is reached;

advanced electrolytic polishing (AEP) of the substrate until the barrier layer is exposed and the substrate is substantially planarized; and,

chemical mechanical polishing the substrate until the barrier layer is substantially removed from the planarized surface of the substrate.

14. The method of claim 13 wherein said AEP step further comprises the step of using an electrolyte solution containing an additive to urge higher removal rates at higher spots on the substrate surface and lower removal rates at lower spots on the substrate surface.

15. The method of claim 14 wherein said additive is coumarin.

16. The method of claim 14 wherein said additive is sulfourea.

17. The method of claim 13 wherein said AEP step further comprises the step of applying positive and negative potentials alternately between electrodes.

18. The method of claim 17 wherein said positive and negative potentials are applied over periods of milliseconds.

19. The method of claim 17 wherein said AEP step further comprises the steps of using an electrolyte solution containing an additive to urge higher removal rates at higher spots on the substrate surface and lower removal rates at lower spots on the substrate surface; and

applying positive and negative potentials alternately between electrodes.

20. A method of polishing a substrate, said substrate including a barrier layer below a conductive layer, comprising the steps of:

- providing an anodic connection to the substrate making the substrate an anode;

- providing a cathode;

- providing an electrolyte solution in contact with both said anode and said cathode, said electrolyte solution containing an additive to urge higher removal rates at higher spots on the substrate surface and lower removal rates at lower spots on the substrate surface;

- providing current to said anode to remove material from said anode until the barrier layer is exposed thereby forming a planarized surface on the substrate; and

- further polishing the substrate until the barrier layer is substantially removed from the planarized surface of the substrate leaving a smooth surface containing selected amounts of conductive surface.

21. A method of polishing a substrate, said substrate including a barrier layer below a conductive layer, comprising the steps of:

- providing an anodic connection to the substrate making the substrate an anode;

- providing a cathode;

- providing an electrolyte solution in contact with both said anode and said cathode;

- applying positive and negative potentials alternately between said anode and said cathode to remove material from said anode until the barrier layer is exposed thereby forming a planarized surface on the substrate; and

- further polishing the substrate until the barrier layer is substantially removed from the planarized surface of the substrate leaving a smooth surface containing selected amounts of conductive surface.

22. The method of claim 21 wherein said electrolyte solution contains an additive to urge higher removal rates at higher

spots on the substrate surface and lower removal rates at lower spots on the substrate surface.

23. A method of forming a planarized layer on a substrate, comprising the steps of:

- forming an interlayer dielectric having an upper surface and a plurality of openings;

- depositing a barrier layer on said upper surface of said interlayer dielectric, said barrier layer also lining said plurality of openings;

- depositing a conductive layer on said barrier layer, said conductive layer filling said lined plurality of openings;

- advanced electrolytic polishing (AEP) the substrate until said barrier layer is substantially exposed forming a planarized surface; and

- further polishing the substrate until said barrier layer is substantially removed from said planarized surface of the substrate leaving a planarized layer containing selected amounts of conductive material.

24. A chemical mechanical polishing (CMP) apparatus adapted for advanced electrolytic polishing (AEP) of a substrate, comprising:

- an anode located in a polishing head of said CMP apparatus, said anode contacting the substrate held in said polishing head;

- a cathode located in said polishing head, said cathode offset from said anode;

- a polishing pad wetted with an electrolyte solution, said electrolyte solution and the substrate providing a connection between said anode and said cathode; and,

- an electrolysis controller to provide a potential across said anode and said cathode, said electrolysis controller alternating said potential between positive and negative,

- whereby said substrate is planarized without mechanical action of the CMP apparatus.

25. The apparatus of claim 24 wherein said electrolyte solution further comprises an additive to urge higher removal rates at higher spots on the substrate surface and lower removal rates at lower spots on the substrate surface.
26. The apparatus of claim 24 wherein said electrolysis controller further comprises a pulse apparatus for alternating said potential.
27. The apparatus of claim 24 wherein said anode further comprises a ring around said polishing head forming an anodic connection from said electrolysis controller to said substrate.
28. The apparatus of claim 24 wherein said cathode is a portion of a retaining ring in said polishing head.
29. A chemical mechanical polishing (CMP) apparatus adapted for advanced electrolytic polishing (AEP) of a substrate, comprising:
an anode located in a polishing head of said CMP apparatus, said anode contacting a substrate held in said polishing head;
a cathode located in said polishing head, said cathode offset from said anode; and
a polishing pad wetted with an electrolyte solution, said electrolyte solution having an additive to urge higher removal rates at higher spots on the substrate surface and lower removal rates at lower spots on the substrate surface, said electrolyte solution providing a electrical connection between said anode and said cathode;
an electrolysis controller to provide a potential across said anode and said cathode,
whereby said substrate is planarized without mechanical action of the CMP apparatus.
30. The apparatus of claim 29 wherein said additive is coumarin.
31. The apparatus of claim 29 wherein said additive is sulfourea.
32. The apparatus of claim 29 wherein said additive is $C_8-C_6H_5-O-(CH_2CH_2O)_{10}$.
33. The apparatus of claim 29 wherein said additive is $C_8-C_6H_5-O-(CH_2CH_2O)_{10}$.

CROSS-REFERENCE TO RELATED APPLICATIONS

This application is related to U.S. patent application Serial No. _____ entitled, "Method and Apparatus for Electrochemical-Mechanical Planarization", filed on even date with the present application by the present applicant.

FIELD OF THE INVENTION

This invention relates generally to planarization of metal substrates and more particularly to advanced electrolytic polishing of metal films on semiconductor wafers.

BACKGROUND OF THE INVENTION

Integrated circuits are typically formed on substrates, particularly silicon wafers, by the sequential deposition of conductive, semiconductive or insulative layers. After a layer is deposited, the layer is etched to create circuitry features. As a series of layers are sequentially deposited and etched, the outer or uppermost surface of the substrate, i.e., the exposed surface of the substrate, becomes increasingly non-planar. This non-planar outer surface presents a problem for the integrated circuit manufacturer. Therefore, there is a need to periodically planarize the substrate surface to provide a relatively flat surface. In some fabrication processes, planarization of the outer layer should not expose underlying layers.

Chemical mechanical polishing (CMP) is a current method of planarization. This planarization method typically requires that the substrate be mounted on a carrier or polishing head. The exposed surface of the substrate is placed against a rotating polishing pad. The polishing pad may be either a "standard" pad or a fixed-abrasive pad. A fixed-

abrasive pad has abrasive particles held in a containment media, whereas a standard pad has a durable surface, without embedded abrasive particles. The carrier head provides a controllable load, i.e., pressure, on the substrate to push it against the polishing pad. A polishing slurry, including at least one chemically-reactive agent, and abrasive particles if a standard pad is used, is supplied to the surface of the polishing pad.

An effective CMP process not only provides a high polishing rate, but also provides a substrate surface which is finished and flat. The polishing rate, finish and flatness are determined by the pad and slurry combination, the relative speed between the substrate and pad, and the force pressing the substrate against the pad.

In applying conventional planarization techniques, such as CMP, it is extremely difficult to achieve a high degree of surface uniformity, particularly across a surface extending from a dense array of features, for example copper lines, bordered by an open field. A dense array of metal features is typically formed in an interlayer dielectric, such as silicon oxide layer, by a damascene technique wherein trenches are initially formed. A barrier layer, such as a Ta-containing layer e.g. Ta, TaN, is then deposited lining the trenches and on the upper surface of the silicon oxide interlayer dielectric. Copper or a copper alloy is then deposited, as by electroplating, electroless plating, physical vapor deposition (PVD) at a temperature of about 50°C to about 150°C or chemical vapor deposition (CVD) at a temperature under about 200°C, typically at a thickness of about 8000Å to about 18,000Å. In planarizing the wafer surface after copper metallization using CMP, undesirable erosion and dishing typically occur, decreasing the degree of surface uniformity or planarity and challenging the depth of focus limitations of conventional photolithographic techniques, particular with respect to achieving submicron dimensions, such as about 0.25 micron. Erosion is defined as the height differential between the oxide in the open field and the height of the oxide within

the dense array. Dishing is defined as a difference in height between the oxide and Cu within the dense array.

Dishing and erosion formation are the most important parameters in evaluating metal CMP processes. Current processes using CMP generate at best 600-800Å dishing and 400 - 1500Å erosion, depending on the pattern density on the substrate. There are generally two causes for dishing formation: a) insufficient planarization and b) over-polish. CMP accomplishes planarization, but the efficiency of the planarization decreases significantly as the feature size increases on the substrate. Over-polish is performed to remove metal residue from a wafer's surface after CMP. Over-polish contributes significantly to dishing and erosion formation, especially when over-polish is done at a relatively high polish rate in order to have high throughput. Past efforts to improve dishing and erosion included modifications to the slurry, polishing pad and the process.

It remains desirable to have a process of planarization where dishing and erosion are decreased.

It is an advantage of the present invention to provide a method and apparatus for substrate planarization producing a good quality substrate surface with high throughput.

SUMMARY OF THE INVENTION

The problems of reducing dishing and erosion while achieving planarized processed substrates are solved by the present invention of an advanced electrolytic polish (AEP) assisted metal wafer planarization method and apparatus.

The advanced electrolytic polish (AEP) method polishes the metal surface of a layered substrate in a controlled way so that higher spots are removed more quickly than lower spots in the surface topography. AEP uses a reverse electroplating method along with surface modifying methods, either alone or in combination, to remove material from a substrate in order to planarize the substrate. A first surface modifying method is to include surface modifying additives in the electrolyte solution used for AEP. A second surface modifying method is pulsed electrolysis with application of alternating positive

and negative potentials, in which the potential across the electrodes in AEP is periodically reversed causing high points on the substrate surface to be removed before low points on the substrate surface. Additives and pulsed electrolysis can be combined in an AEP process.

The polish in the present embodiment of the invention stops when a barrier layer (e.g. tantalum, tantalum nitride, titanium or titanium nitride) is substantially removed. Alteration of the electrolyte chemistry of the present invention, however, would alter the depth and the layers removed in the polish. Additives to the electrolyte solution, and the application of pulsed voltage during electrolytic polish further improve the planarity of the substrate polished surface.

In the AEP method herein described, substrates act as anodic electrodes and another metal plate is used as a cathodic electrode. The substrate and the cathode are configured in either an electroplating tank or in an adapted chemical mechanical polishing device. A voltage differential is applied to the anode and cathode under a predetermined anodic dissolution current density. This causes a reaction that provides a planarized surface on the metal wafers. Current electrolytic polishing methods generally leave at least 500Å difference between high and low spots in the wafer surface topography. With the present advanced electrolytic polish, additives are included in the electrolyte solution which adsorb onto the wafer surface urging a higher removal rate at higher spots and a lower removal rate at lower spots. Also, another embodiment of the present invention is a pulsed-electrolytic process in which positive and negative potentials are applied to the anodic and cathodic electrodes alternately, further encouraging surface planarization. A further embodiment of the invention involves using the additive method and the pulsed method in combination.

AEP can be used either as a first step followed by a short mechanical polishing step (buffing) to remove the thin barrier layer (250Å); or as a second step between an initial CMP polish with about 2000Å copper layer remaining and a third

step mechanical polish. The present invention may also be added as a last step of copper electroplating process and so may be used in the manufacture of all kinds of patterned metal wafers.

With the AEP technique, the "insufficient planarization" problem that occurs in normal CMP processes is substantially eliminated, the first CMP step is much easier, and dishing and erosion caused by the over-polishing step are avoided. AEP eliminates erosion because there is no mechanical action during the AEP process. This is particularly important in processing wafers having high density surface patterns where there is a high potential for erosion. Dishing is greatly decreased with the chemical additives and the pulsed current. The AEP method provides a planarized surface without erosion and with very little dishing.

The present invention together with the above and other advantages may best be understood from the following detailed description of the embodiments of the invention illustrated in the drawings.

DETAILED DESCRIPTION OF PREFERRED EMBODIMENTS

Figure 1 shows a cross-sectional view of a conductive substrate 10 having deposited layers such as those layers formed during the manufacture of semiconductors. The figure is not to scale. An interlayer dielectric 20, e.g. silicon oxide, is formed overlying a metal wafer 15. A plurality of indentations, also referred to as openings 25, are formed in a designated area at the left of the interlayer dielectric 20 in which a dense array of conductive lines are to be formed bordering an open field shown on the right of the interlayer dielectric 20. A barrier layer 30, e.g. tantalum, tantalum nitride, titanium or titanium nitride, is deposited on the layer of interlayer dielectric 20, the barrier layer 30 also lining the plurality of openings 25. A conductive layer 35, e.g. copper, is then deposited over the barrier layer 30. The successive layers forms an uneven topography 36 over the substrate which requires planarization before further processing. Also, successive process steps require that portions of the conductive layer be removed. Planarization and selective removal of the conductive layer are accomplished in a polishing step.

Figure 2 shows a side cross-sectional view of an electrolyzer in a first embodiment of the present invention of advanced electrolytic polishing (AEP). The conductive substrate 10 of Figure 1 is immersed in a tank 50 containing a solution 55 of electrolytes. The conductive substrate 10 is connected to a conductive clamp 60 to form a first electrode, an anode. A second electrode 65, a cathode matching the metal substrate is also immersed in the tank 50. A voltage differential is applied to the anode and cathode under a predetermined anodic dissolution current density. The current density is typically 1 - 30 mA/cm². This causes a reaction that provides a planarized surface on conductive substrates. The reaction when the barrier layer is substantially exposed,

leaving a planarized surface on the substrate having conductive areas and substantially exposed barrier layer. Current electrolytic polishing methods generally leave at least 500Å difference between high and low spots in the wafer surface topography.

Additives are included in the electrolyte solution which adsorb onto the substrate surface urging a higher removal rate at higher spots and a lower removal rate at lower spots. The additives are generally less than 1% of the electrolyte solution by weight. The additives are surface modifiers. The adsorbed additives act as electric discharge points that modify the surface of the substrate so that high spots are polished first and then low spots are polished. Examples of additives used in this process are coumarin ($C_9H_6O_2$), sulfourea ($CS(NH_2)_2$), and $R-C_6H_5-O-(CH_2CH_2O)_n$, where $R = C_6-C_6$, and $n=10$. Other additives and concentrations are possible within the scope of the present invention.

Also, in an alternative embodiment of the present invention, a pulsed-electrolytic process is applied, using a pulse apparatus 70, in which positive and negative potentials are applied between the anodic and cathodic electrodes alternately, further encouraging surface planarization. The pulse apparatus may be an alternator, or a potentiostat with pulsing capability. In this method, a current density typically in the range of 1 - 30 mA/cm², for example, is applied typically for a few milliseconds. The pulse-polish modifies the surface of the substrate. Material from high spots on the surface is redeposited to low spots on the surface. This is a useful surface modification in those cases where planarization is not sufficient.

Figure 3 shows a simplified, part cross-sectional, part schematic, side view of an even further embodiment of the present invention of AEP. In Figure 3, a polish head 100 rests on a polish pad 105 with the metal substrate 10 of Figure 1 in between the head 100 and the pad 105. An anodic connection 110 and a cathodic connection 115 are provided. The anodic connection contacts the substrate 10 such that the substrate becomes an anode. In the present embodiment of the

invention, the anodic 110 and cathodic 115 connections form rings around the head inside the retaining ring 120. A membrane 118 between the polish head and the substrate 10 provides pressure to maintain the contact between the anodic connection 110 and the substrate 10 and between the substrate 10 and polish pad 105. First 116 and second 117 brushes provide electrical connection from connections 110, 115 to an electrolysis controller 119. The electrolysis controller 119 may include a pulse apparatus 70 such as that shown in Figure 2. A metal portion of the retaining ring 120 acts as a cathode 122. The placement of anodes 110, 115 and the cathode 122 are merely exemplary. Other configurations are possible within the scope of the present invention.

The pad 105 is wetted with electrolyte solution 121. A slurry arm 225 (shown in Figure 4) having tubes for slurry, in this case for electrolyte solution, extends over the polishing pad 105. A voltage differential is applied to the anode substrate 10 and the cathode 122. This causes a reaction that provides a planarized surface on the conductive substrate. The head 100 spins in order to carry polishing product away from the wafer 10, however, mechanical polishing does not take place. Additives are added to the electrolyte solution with the same effect as described above. No abrasion of the wafer is necessary in order to accomplish the polishing. The pulse polish technique may also be used in this configuration.

Figure 4 shows a chemical mechanical polishing apparatus 200 having a plurality of polishing stations 205, 210, 215. One of the polish heads on the apparatus 200 has modifications as shown in Figure 3 in order to accomplish the present invention. The head 220 of polishing station 205 has an anodic connection 110, and a cathode 122 as seen in Figure 3. Slurry arm 225 delivers electrolyte solution to the polishing pad 105. Alternatively, one or more of the polishing stations could be modified with the electrochemical cell shown in Figure 2 in order to accomplish the present invention.

Figure 5 is a flow chart of a first embodiment of a polishing step using AEP according to principles of the present invention. After the barrier layer and the metal

layer have been deposited on the wafer, block 250, AEP is applied to planarize the wafer. The planarization may be accomplished by AEP using additives, block 255, AEP using pulsed current, block 260, or AEP using both additives and pulsed current, block 265. Then CMP is applied to the wafer to remove the barrier layer, block 270.

Figure 6 is a flow chart of a second embodiment of a polishing step using AEP according to principles of the present invention. After the barrier layer and the metal layers have been deposited on the wafer, block 300, CMP is applied, block 305, until a thin film of metal of a predetermined thickness remains, for example 2000Å. Then AEP is applied to remove the remaining metal and to planarize the surface of the wafer. The AEP process may be AEP using additives, block 310, AEP using pulsed current, block 315, or AEP using both additives and pulsed current, block 320. CMP is then applied to the wafer to remove the barrier layer, block 325.

It is to be understood that the above-described embodiments are simply illustrative of the principles of the invention. Various and other modifications and changes may be made by those skilled in the art which will embody the principles of the invention and fall within the spirit and scope thereof.

4 Brief Description of Drawings

Figure 1 is a cross-sectional view of a substrate with a plurality of layers;

Figure 2 is a cross-sectional view of a first embodiment of an advanced electrolytic polish device wherein a wafer is immersed in a tank having an electrolyte solution according to principles of the present invention;

Figure 3 is a simplified cross-sectional view of a second embodiment of an advanced electrolytic polish device wherein a polishing head contains anodes and a cathode according to principles of the present invention;

Figure 4 is a schematic exploded view of a chemical mechanical polishing apparatus;

Figure 5 is a flow chart of a first embodiment of a polishing step using AEP according to principles of the present invention; and,

Figure 6 is a flow chart of a second embodiment of a polishing step using AEP according to principles of the present invention.

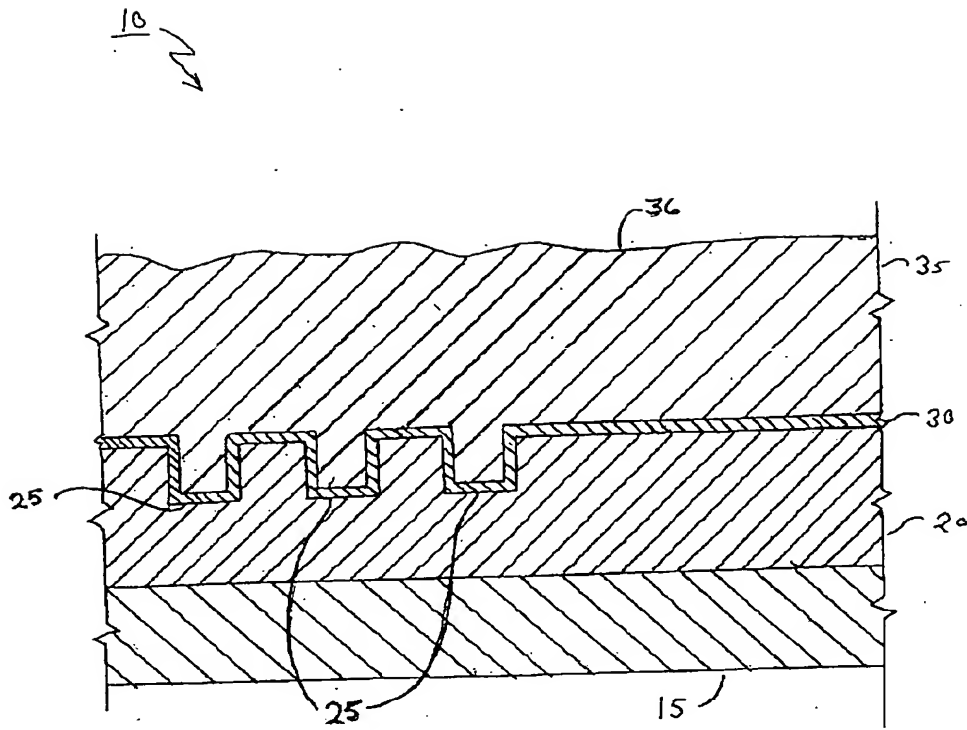


FIG. 1

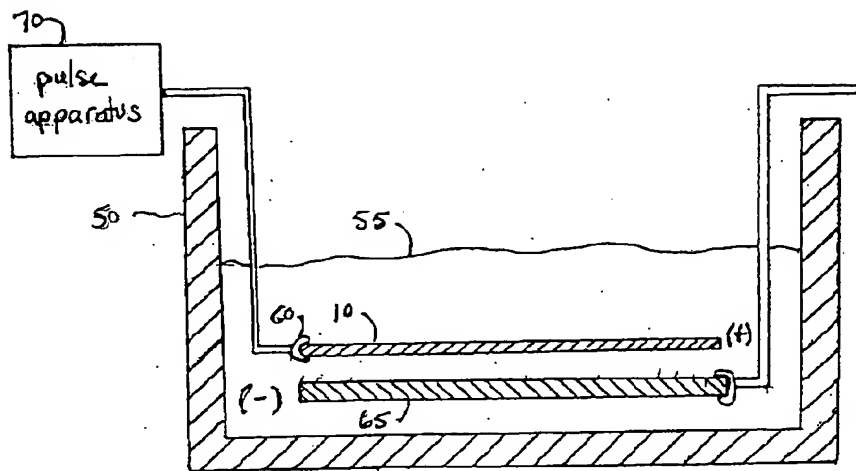


FIG. 2

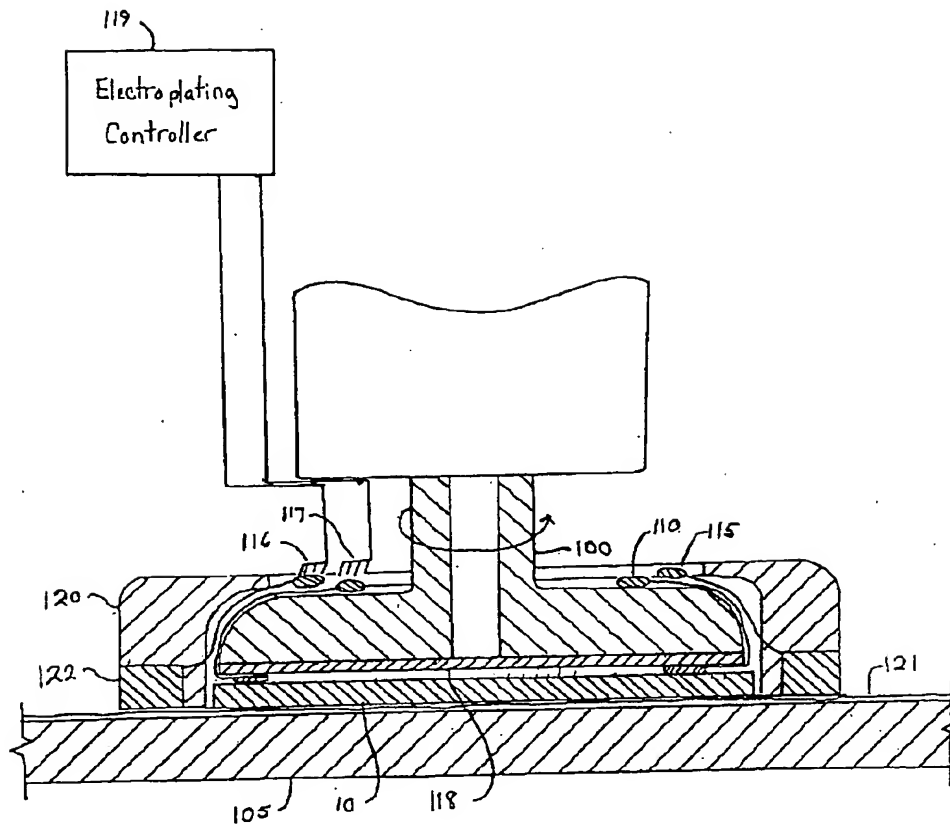
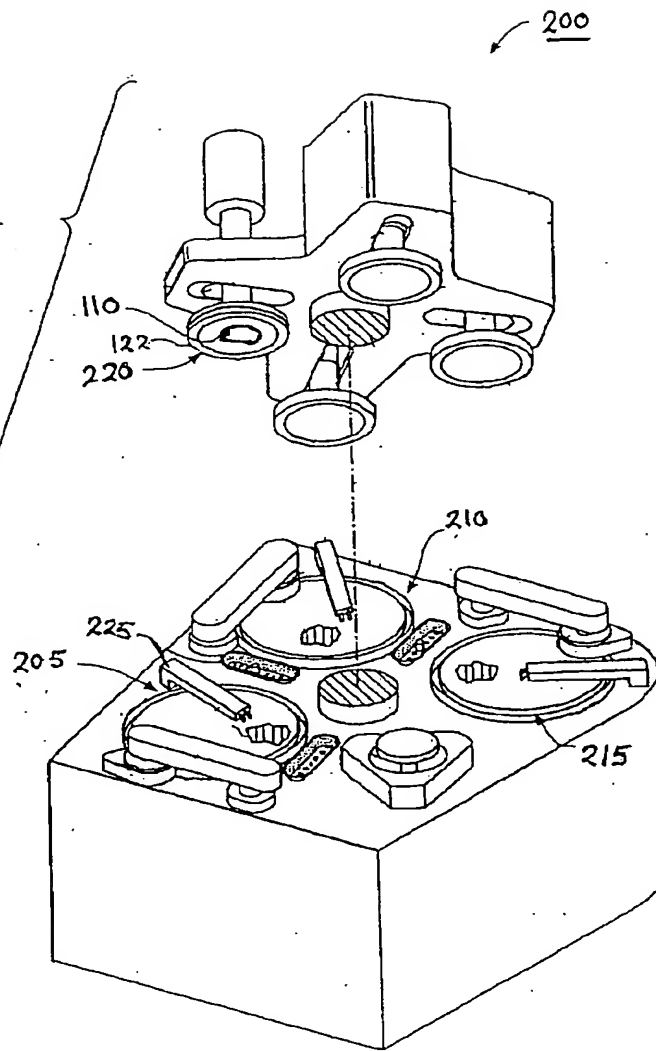


FIG. 3

FIG. 4



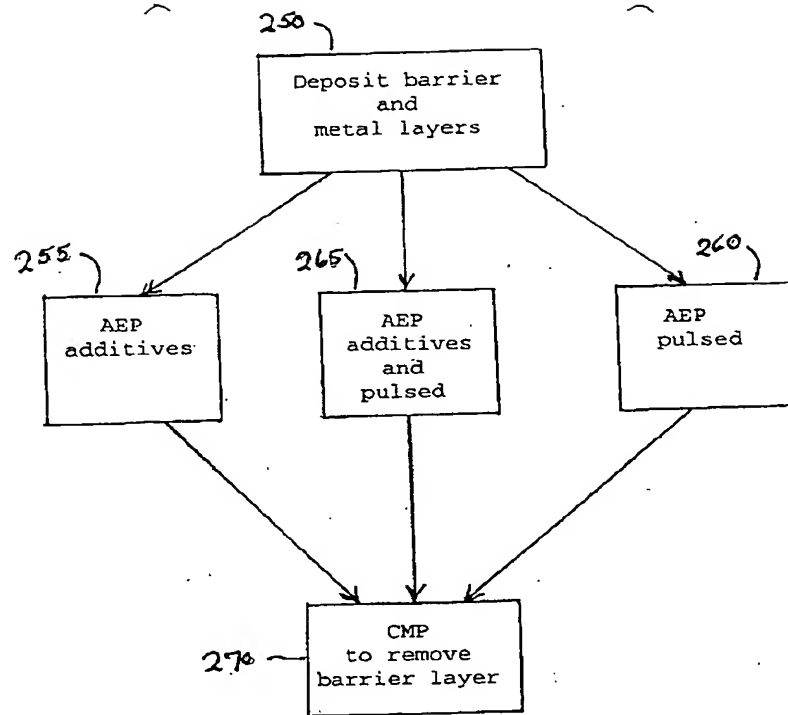


FIG 5

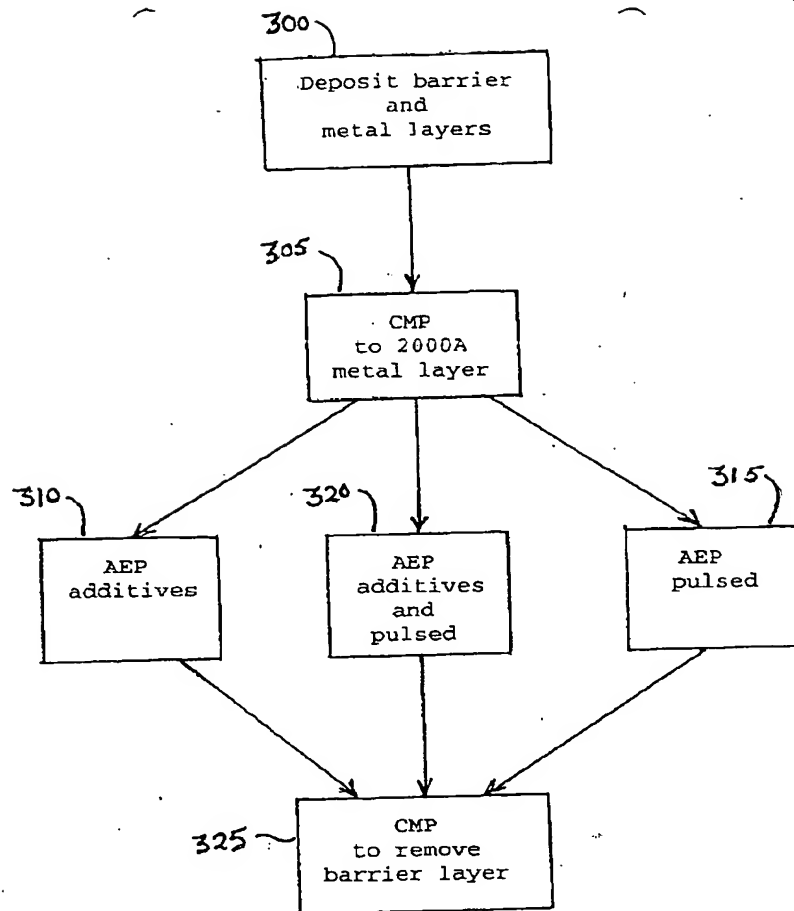


FIG. 6

In advanced electrolytic polish (AEP) method, a metal wafer (10) acts as an anodic electrodes and another metal plate (65) is used as a cathodic electrode. A voltage differential is applied to the anode and cathode under a predetermined anodic dissolution current density. This causes a reaction that provides a planarized surface on the metal wafers. Additives are included in the electrolyte solution (55) which adsorb onto the wafer surface urging a higher removal rate at higher spots and a lower removal rate at lower spots. Also, in another embodiment of the present invention is a pulsed-electrolytic process (260) in which positive and negative potentials are applied to the anodic and cathodic electrodes alternately, further encouraging surface planarization. AEP can be used either as a first step followed by a mechanical polish or a second step between initial CMP polish and a third step mechanical polish. The present invention may also be added as a last step of copper electroplating process and so may be used in the manufacture of all kinds of patterned metal wafers.

2 Representative Drawing Fig. 2

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**

THIS PAGE BLANK (USPTO)